

## ANEXO V

UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE	
<b>FICHA DE EXPECTATIVA DE RESPOSTA DA PROVA ESCRITA</b>	
Edital nº:	023/2018-PROGESP
Carreira:	(X) MAGISTÉRIO SUPERIOR ( ) MAGISTÉRIO EBTT
Unidade Acadêmica:	Departamento de Engenharia Elétrica
Área de Conhecimento:	Sistemas Digitais Embarcados

### **CRITÉRIOS DE AVALIAÇÃO PARA TODAS AS QUESTÕES DISCURSIVAS**

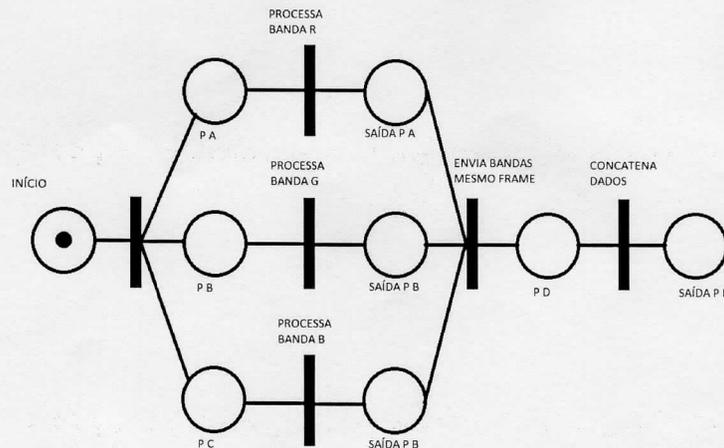
- Clareza e propriedade no uso da linguagem;
- Coerência e coesão textual;
- Domínio dos conteúdos, evidenciando a compreensão dos temas objeto da prova;
- Domínio e precisão no uso de conceitos;
- Coerência no desenvolvimento das ideias e capacidade argumentativa.

**QUESTÃO 1:** Suponha 4 processadores, em um sistema baseado em plataforma, sendo 3 em paralelo (A, B e C) e o quarto processador (D) na saída, em série com os processadores A, B e C. Este sistema prevê que os 3 processadores em paralelo de 16 bits (A, B e C) realizarão o processamento de dados de um frame RGB de 4800 bits, onde cada processador processará 1600 bits de uma das bandas e que, ao final, o quarto processador (D) irá concatenar os resultados dos 3 processadores A, B e C de cada banda RGB. Em seguida, D enviará para a saída de vídeo o frame processado. Os processadores em paralelo (A, B e C) levam até 300 instruções para receber e realizar o processamento de sua banda cada um e, o processador D leva até 500 instruções para receber e concatenar os dados de A, B e C, cada instrução leva até 4 pulsos de clock. Preservar ao máximo o paralelismo do sistema desde a entrada até a saída para que o processo inteiro se dê em no máximo 4 ms (4 milissegundos). (Valor 05 pts.)

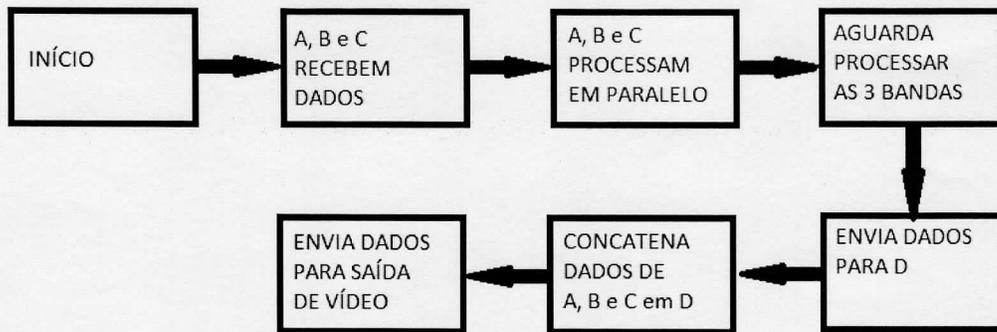
- a) Apresente dois modelos computacionais para o projeto, cada um utilizando uma técnica diferente de especificação de mais alto nível do projeto.

O candidato deverá escolher dois modelos computacionais diferentes para representar o projeto, utilizando técnicas de modelagem distintas. Podem ser escolhidas diversas técnicas, dentre elas Fluxograma e Redes de Petri. Como os modelos a seguir.

## Rede de Petri



## Fluxograma



- b) Especifique a arquitetura mínima dos processadores e demais componentes necessários no nível eletrônico do sistema (comunicação, indicadores, processamento e armazenamento).

O candidato deverá calcular o número mínimo de clocks para que todas as instruções sejam executadas, devido a exigência do paralelismo, os processadores A, B e C processam em paralelo somando 300 instruções para a ação. O processador D está em série com os demais, soma-se então mais 500 instruções, totalizando 800. Em seguida calcular quantos clocks para realizar todas as instruções (total de 3200) e, para atender a uma velocidade de 4ms no processo completo, cada instrução deverá ocorrer em no máximo 1,25 microsegundos para atender desempenho de tempo. Um exemplo com folga seria um processador com clock de 1MHz, que realizaria o processamento dessas instruções em 3,2ms. Calcular a memória de entrada mínima necessária para receber 4800 bits de dados (cada frame). As memórias necessárias para os processadores A, B e C serão para atender até 1600 bits de dados (cada banda) e do processador deve comportar no mínimo 4800 bits de cada frame a ser processado. Barramento mínimo de 48 bits na entrada e saída do sistema, barramentos de comunicação serial de 16 bits na entrada e saída de A, B e C e, barramento de comunicação serial mínimo de 48 bits na entrada e saída do processador D.

- c) Qual a arquitetura mais adequada a esse problema, Von Neumann ou Harvard? Explique.

Espera-se que o candidato explique por que a arquitetura Harvard é melhor para este tipo de aplicação, listando algumas das vantagens desta arquitetura que venham a favorecer a sua escolha.

**QUESTÃO 2:** ) Apresente um modelo computacional orientado a estados que especifique adequadamente o projeto, à nível de transferência entre registros (RTL design), de um microcontrolador Harvard RISC de 8 bits com uma arquitetura do conjunto de instruções (ISA) composta por 8 instruções. Na definição do conjunto de instruções considere que este sistema será usado para monitoramento e atuação em um sistema de IoT/Cyber-Physical System com 4 sensores e 8 atuadores (entradas de 2 bits por sensor e saídas de 1 bit por atuador). Justifique a presença das instruções sugeridas, apresente uma codificação para o seu conjunto de instruções e uma proposição dos módulos que devem compor o conjunto unidade de controle/datapath. Admita que a unidade de processamento faz operações extremamente simples com os dados recebidos dos sensores para tomada de decisão e envio de dados para os atuadores. Escolha dois componentes (um combinacional e outro sequencial) que irão fazer parte do seu datapath e os descreva em uma linguagem de descrição de hardware. (Valor 05 pts.)

O candidato deverá especificar o microcontrolador, com as 8 instruções requeridas já definidas, através de um modelo computacional (MoC) orientado a estados, mais adequadamente uma máquina de estado de alto nível, embora também possa fazer uso de outro tipo de MoC orientado a estados, como uma Rede de Petri, por exemplo. Na definição do conjunto de instruções, como é uma máquina RISC, deve observar que a abordagem deve ser do tipo load/store, onde qualquer operação aritmética ou lógica não poderá ser feita diretamente na memória ou numa unidade de E/S. Deve prever instruções de leitura/escrita na memória de dados (já que é uma máquina em arquitetura Harvard) e em unidades de entrada e de saída de dados já que irá monitorar sensores e enviar comandos para os atuadores. Na codificação das instruções deverá prever pelo menos 3 bits para o código de operação e alguns bits para caracterizar os operandos envolvidos nas instruções por ele sugeridas. No conjunto unidade de controle/Datapath, deverá prever o uso de uma memória de programa e uma memória de dados, em áreas físicas distintas, já que, volto a lembrar, é uma máquina Harvard e, alguns componentes que permitam o caminho de dados entre a memória de dados, uma ALU (caso proponha instruções aritméticas e lógicas), registros internos e registros de entrada/saída. Na linha de controle do fluxo de programa, deverá caracterizar, pelo menos, a presença de um contador de programa e de um registrador de instrução. A descrição dos dois dispositivos escolhidos, um combinacional, provavelmente um mux ou uma ALU, e outro sequencial, provavelmente um registrador ou o contador de programa (PC), poderá ser feita em VHDL ou Verilog. Na descrição deverão constar os principais elementos construtivos da linguagem escolhida.

<b>Assinatura dos Membros da Comissão</b>	1º membro (Presidente): <i>Diomadsom Rodrigues Belfort</i> 2º membro: <i>Robel ALP. (SIAPE 347065)</i> 3º membro: <i>Robel ALP. (SIAPE 2691000)</i>
---	---

Diomadsom Rodrigues Belfort  
Professor  
Mat.: 2140683 - UFRN